



発表資料

2013年6月3日

産業技術総合研究所とソーバス株式会社 新3次元デバイス実装技術で共同研究契約を締結

ソーバス株式会社（本社：東京都八王子市、代表取締役社長：徳重和雄、以下ソーバス）は、保有する3次元実装デバイスのIP（Intellectual Property—特許およびその技術）を利用し、次世代向け3次元積層技術に関する技術開発及び実用化へ向けての共同研究契約を独立行政法人産業技術総合研究所（東京都千代田区、理事長：中鉢良治、以下AIST）様との間で締結し、6月1日より共同研究業務を開始致しました。

ソーバスは、これまでにないユニークな3次元チップ間の信号伝送技術の基本技術について特許取得し、次世代の低消費電力かつ高速伝送を可能にする3次元実装デバイスの開発を可能に致します。

ユニークな基本特許技術で3次元実装技術をブレイクスルー

ソーバスは、これまでの常識を覆す発想で、シリコン基板抵抗を使ってチップ間の信号伝送手法を考案し、特許化しました。つまり、複数のチップ間をFace-Upでワイドバンド接続した場合、インダクター結合は信号伝達係数が小さく、またローパワー化のために高速動作の必要から回路規模やレーテンシーが増大し、複数のチップ間を繋ぐには不向きです。他方、貫通ビア（TSV）の手法は非常にコスト高になり、安価なシステムに不向きです。ソーバスが所有する特許技術は、もともと存在する基板抵抗を活用するため、基板に貫通ビアを設けることなくコスト的に非常に安価に接続ができます。加えて信号伝達係数も0.5以上のため、回路規模を小さくできるだけでなく高速信号伝送を実現しています。

今日、プロセスの微細化を追求すると同時に、大容量メモリの搭載、低消費電力化、チップ面積の小型化、BUS速度の高速化、チップ単価の削減など、困難な課題を解決しなくてはなりません。今回の共同研究開発により、これら相反する課題に対するソリューションの提供を、特許面およびノウハウ面で提供できるビジネスモデルを確立していきます。

関係者のコメント

サイバーシルクロード八王子 会長：甲谷勝人のコメント

システムの高密度化・低消費電力化の流れの中で、今回の基板抵抗結合を使った信号伝送技術は、全くユニークな発想の3次元実装技術で、半導体市場で新しい流れの一つになるものと思います。AISTとの共同研究開発をきっかけに、市場での利用拡大が進むものと大いに期待しております。

(ソーバス株式会社) 2008年1月に創業したベンチャー企業です。半導体要素技術開発業務に加え、組み込みシステム開発設計では高度な技術開発力とパートナー様との協業で最適なバリューチェーンを構築し、お客様に最適のソリューションを提供しております。また、インテリジェント・エコターミナル等の自社開発技術のビジネス展開も進めております。

WEBサイト <http://www.sorbus.co.jp/>

本件に関するお問い合わせ先

ソーバス株式会社

〒192-0046 東京都八王子市明神町2-27-6 ブルームセンター

電話：042-649-8024

E-Mail：otoi-awase@sorbus.co.jp

記載されている製品名などの固有名詞は、各社の商標または登録商標です。

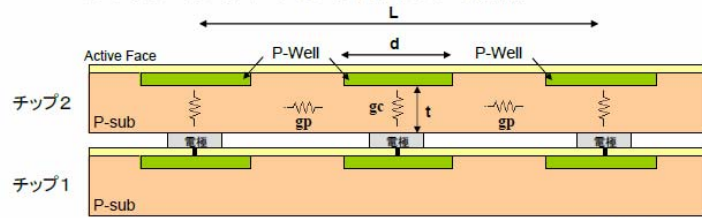
本報道発表内で提供されている情報は、発表日現在のものです。その後予告なしに変更されることがあります。あらかじめご了承ください。

関連技術の資料（特許取得済）

Sorbus 新3次元積層の提案

シリコン基板抵抗を用いた3次元積層

チップ1側からチップ2の裏面電極とシリコン基板抵抗を通じてチップ2側の回路に結合する
(VDD/VSSはワイヤーボンディングもしくは貫通ビアにて供給)



$$g_c = \pi d^2 / (4 \rho_{sub} \cdot t)$$

$$2g_p = 2 \pi t / (\rho_{sub} \cdot \ln(L/d))$$

$$g_c / g_p = (d/2t)^2 \cdot \ln(L/d)$$

$$\text{電圧伝達係数 } A_v = 1 / \{1 + (g_c/g_p)^{-1}\}$$

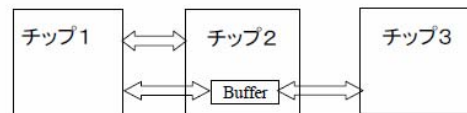
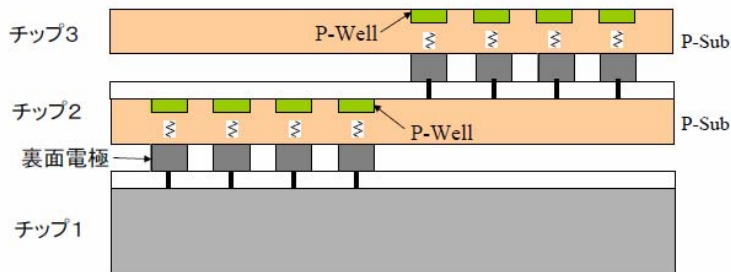
$$d=2t, L=3d \text{ とすると, } A_v \approx 0.5$$

gc, gp: コンダクタンス
ρsub: 基板の抵抗率

隣あう電極を交互
動作させる



Sorbus 新3次元積層の多段積層方法



チップ2 からバッファを介してチップ3に伝達する